

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/KR05/000967

International filing date: 01 April 2005 (01.04.2005)

Document type: Certified copy of priority document

Document details: Country/Office: KR
Number: 10-2004-0022694
Filing date: 01 April 2004 (01.04.2004)

Date of receipt at the International Bureau: 30 June 2005 (30.06.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office

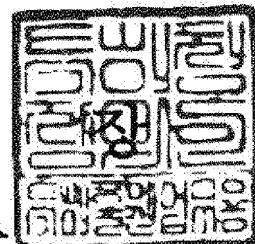
출 원 번 호 : 특허출원 2004년 제 0022694 호
Application Number 10-2004-0022694

출 원 일 자 : 2004년 04월 01일
Date of Application APR 01, 2004

출 원 인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research
Institute

2005 년 06 월 09 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2004.04.01
【발명의 국문명칭】	E - 8 V S B 방식과 P - 2 V S B 방식을 혼합한 수신 성능 개선 시스템
【발명의 영문명칭】	Receiving Efficiency Improvement System using E - 8 VSB and P - 2 VSB Hybrid mode
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-051975-8
【발명자】	
【성명의 국문표기】	이재영
【성명의 영문표기】	LEE, Jae Young
【주민등록번호】	770912-1042821
【우편번호】	138-225
【주소】	서울특별시 송파구 잠실5동 27번지 주공아파트 514-201
【국적】	KR
【발명자】	
【성명의 국문표기】	김성훈
【성명의 영문표기】	KIM, Sung Hoon

【주민등록번호】	700716-1019222
【우편번호】	302-170
【주소】	대전광역시 서구 갈마동 갈마아파트 203-304
【국적】	KR
【발명자】	
【성명의 국문표기】	지금란
【성명의 영문표기】	JI ,Kum Ran
【주민등록번호】	790215-2641435
【우편번호】	519-806
【주소】	전라남도 화순군 화순읍 만연리 167번지
【국적】	KR
【발명자】	
【성명의 국문표기】	김승원
【성명의 영문표기】	KIM,Seung Won
【주민등록번호】	640609-1268419
【우편번호】	302-222
【주소】	대전광역시 서구 삼천동 국화동성아파트 105-202
【국적】	KR
【발명자】	
【성명의 국문표기】	이수인
【성명의 영문표기】	LEE,Soo In
【주민등록번호】	620216-1683712
【우편번호】	302-120
【주소】	대전광역시 서구 둔산동 크로바아파트 106-606
【국적】	KR
【발명자】	
【성명의 국문표기】	안치득
【성명의 영문표기】	AHN,Chie Teuk

【주민등록번호】	560815-1053119		
【우편번호】	305-390		
【주소】	대전광역시 유성구 전민동 엑스포아파트 208-603		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 특허법인 신 성 (인)		
【수수료】			
【기본출원료】	0 면	38,000 원	
【가산출원료】	14 면	0 원	
【우선권주장료】	0 건	0 원	
【심사청구료】	0 항	0 원	
【합계】	38,000 원		
【감면사유】	정부출연연구기관		
【감면후 수수료】	19,000 원		
【기술이전】			
【기술양도】	희망		
【실시권허여】	희망		
【기술지도】	희망		

【요약서】

【요약】

1. 청구범위에 기재된 발명이 속한 기술분야

본 발명은, E-8VSB 방식과 P-2VSB 방식을 혼합한 수신 성능 개선 시스템에 관한 것임.

2. 발명이 해결하려고 하는 기술적 과제

본 발명은 E-8VSB 방식과 P-2VSB 방식을 혼합하여 수신 성능을 개선하는 시스템을 제공하고자 함.

3. 발명의 해결방법의 요지

본 발명은 E-8VSB 방식과 P-2VSB 방식을 혼합하는 방법을 포함함.

4. 발명의 중요한 용도

본 발명은 트렐리스 코딩을 이용한 수신 성능 개선 시스템등에 이용됨.

【대표도】

도 1

【색인어】

수신 성능, 트렐리스 코딩, E-8VSB, P-2VSB

【명세서】

【발명의 명칭】

E-8VSB 방식과 P-2VSB 방식을 혼합한 수신 성능 개선 시스템
{Receiving Efficiency Improvement System using E-8VSB and P-2VSB Hybrid
mode}

【도면의 간단한 설명】

- <1> 도 1은 16 상태 트렐리스 코딩을 이용한 강인 데이터 생성 방법을 나타내는 일시시에 구조도
- <2> 도 2는 16 상태 트렐리스 코딩을 이용한 강인 데이터 생성 방법의 또 다른 일시예를 나타내는 구조도

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <3> 본 발명은 E-8VSB 방식과 P-2VSB 방식을 혼합한 수신 성능 개선 시스템에 관한 것으로 보다 상세하게는, 16 상태 트렐리스 코딩을 이용한 강인데이터를 생성하여 수신 성능을 개선하는 시스템에 관한 것이다.
- <4> 종래기술로서 강인 데이터를 $\{-7, -5, 5, 7\}$ 또는 $\{-7, -3, 3, 7\}$ 의 4개 레

벨의 심볼 중 어느 하나로 전송하는 기술이 개시되어 있으나(국제공개번호 WO 02/080559, 국제공개번호 WO 02/100026, 미합중국 특허공개번호 US2002/0194570), 이러한 종래기술에 따르면 강인 데이터가 매핑되는 심볼이 제한됨으로 인해 강인 데이터를 나타내는 심볼의 평균 전력이 종래의 8-VSB 방식에 비해 증가한다는 문제점이 있다(종래의 8-VSB 방식에 따르면, 강인 데이터의 심볼 평균 전력은 21 energy/symbol이다).

<5> 즉, 강인 데이터를 {-7, -5, 5, 7}의 4개 레벨 심볼 중 어느 하나로 할 경우에는 심볼 평균 전력이 37 energy/symbol이고, 강인 데이터를 {-7, -3, 3, 7}의 4개 레벨 심볼 중 어느 하나로 할 경우에는 심볼 평균 전력이 29 energy/symbol로서, 강인 데이터를 나타내는 심볼의 평균 전력이 종래의 8-VSB 방식에 비해 증가한다. 강인 데이터를 나타내는 심볼의 평균 전력 상승은 전체 평균 전력 증가를 야기시키고, 제한된 송신 출력으로 신호를 전송하는 경우(통상의 경우)에 일반 데이터의 송신 전력이 종래의 8-VSB 방식에 비해 상대적으로 감소하게 되어 동일한 채널 환경에서 종래의 8-VSB 방식보다 더 열악한 수신 성능을 갖게 된다는 문제점이 있다.

<6> 종래 방식의 High mix mode는 Robust와 Normal packet의 혼합비율이 50:50이고, 종래 방식에서는 E8-VSB 방식으로 코딩된 Robust packet 50%를 혼합하였다. 즉, robust information packet 수는 72, robust segment는 162이다.

【발명이 이루고자 하는 기술적 과제】

<7> 본 발명은, 상기한 바와 같은 문제점을 해결하기 위하여 제안된 것으로, E-8VSB 방식과 P-2VSB 방식을 혼합하여 수신 성능을 개선하는 시스템을 제공하는 데 그 목적이 있다.

【발명의 구성】

<8> 이하의 내용은 단지 본 발명의 원리를 예시한다. 그러므로 당업자는 비록 본 명세서에 명확히 설명되거나 도시되지 않았지만 본 발명의 원리를 구현하고 본 발명의 개념과 범위에 포함된 다양한 장치를 발명할 수 있는 것이다. 또한, 본 명세서에 열거된 모든 조건부 용어 및 실시예들은 원칙적으로, 본 발명의 개념이 이해되도록 하기 위한 목적으로만 명백히 의도되고, 이와같이 특별히 열거된 실시예들 및 상태들에 제한적이지 않는 것으로 이해되어야 한다.

<9> 또한, 본 발명의 원리, 관점 및 실시예들 뿐만 아니라 특정 실시예를 열거하는 모든 상세한 설명은 이러한 사항의 구조적 및 기능적 균등물을 포함하도록 의도되는 것으로 이해되어야 한다. 또한 이러한 균등물들은 현재 공지된 균등물뿐만 아니라 장래에 개발될 균등물 즉 구조와 무관하게 동일한 기능을 수행하도록 발명된 모든 소자를 포함하는 것으로 이해되어야 한다.

<10> 따라서, 예를 들어, 본 명세서의 블록도는 본 발명의 원리를 구체화하는 예시적인 회로의 개념적인 관점을 나타내는 것으로 이해되어야 한다. 이와 유사하게, 모든 흐름도, 상태 변환도, 의사 코드 등은 컴퓨터가 판독 가능한 매체에 실질적으로 나

타낼 수 있고 컴퓨터 또는 프로세서가 명백히 도시되었는지 여부를 불문하고 컴퓨터 또는 프로세서에 의해 수행되는 다양한 프로세스를 나타내는 것으로 이해되어야 한다.

<11> 프로세서 또는 이와 유사한 개념으로 표시된 기능 블록을 포함하는 도면에 도시된 다양한 소자의 기능은 전용 하드웨어뿐만 아니라 적절한 소프트웨어와 관련하여 소프트웨어를 실행할 능력을 가진 하드웨어의 사용으로 제공될 수 있다. 프로세서에 의해 제공될 때, 상기 기능은 단일 전용 프로세서, 단일 공유 프로세서 또는 복수의 개별적 프로세서에 의해 제공될 수 있고, 이들 중 일부는 공유될 수 있다.

<12> 또한 프로세서, 제어 또는 이와 유사한 개념으로 제시되는 용어의 명확한 사용은 소프트웨어를 실행할 능력을 가진 하드웨어를 배타적으로 인용하여 해석되어서는 아니되고, 제한 없이 디지털 신호 프로세서(DSP) 하드웨어, 소프트웨어를 저장하기 위한 롬(ROM), 램(RAM) 및 비 휘발성 메모리를 암시적으로 포함하는 것으로 이해되어야 한다. 주지관용의 다른 하드웨어도 포함될 수 있다.

<13> 본 명세서의 청구범위에서, 상세한 설명에 기재된 기능을 수행하기 위한 수단으로 표현된 구성요소는 예를 들어 상기 기능을 수행하는 회로 소자의 조합 또는 펌웨어/마이크로 코드 등을 포함하는 모든 형식의 소프트웨어를 포함하는 기능을 수행하는 모든 방법을 포함하는 것으로 의도되었으며, 상기 기능을 수행하도록 상기 소프트웨어를 실행하기 위한 적절한 회로와 결합된다. 이러한 청구범위에 의해 정의되는 본 발명은 다양하게 열거된 수단에 의해 제공되는 기능들이 결합되고 청구항이

요구하는 방식과 결합되기 때문에 상기 기능을 제공할 수 있는 어떠한 수단도 본 명세서로부터 파악되는 것과 균등한 것으로 이해되어야 한다.

<14> 상술한 목적, 특징 및 장점들은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 우선 각 도면의 구성요소들에 참조 번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명한다.

<15> 도 1은 16 상태 트렐리스 코딩을 이용한 강인 데이터 생성 방법을 나타내는 일시시에 구조도로서 16 state E-8VSB TCM 구조도이다.

<16> 도 1을 참조하면 먼저 입력된 정보 데이터(X_1')을 이용하여 표준 트렐리스 인코더의 2 개의 메모리에 추가적으로 강인 데이터 생성을 위한 메모리를 추가적으로 이용하여 강인 데이터가 4 개의 메모리를 이용하여 코딩되도록 한다.

<17> 도 1의 개선 코딩(enhance coding)블록과 표준 트렐리스 코딩(Trellis encoding)을 이용하여 입력에 따라 출력 신호와 다음 상태는 표 1과 같은 결과를 갖는다.

<18> 표 1의 16 상태(현재 상태, 다음 상태)는 [수식 1]과 같은 방법을 통해서 표시한 값이다. [수식 1]의 S는 상태 값을 나타낸다.

<19> 도1의 강인 데이터 생성을 위해 추가적으로 사용되는 메모리는 일반 데이터가 입력되는 경우에는 그 상태값이 변하지 않으며 입력에 따른 출력 신호와 다음 상태 신호는 표 2와 같다.

<20> 16 상태 트렐리스 코딩을 이용한 강인 데이터 생성 방법1을 이용한 경우 표 1과 표 2를 이용하여 수신기의 등화기에서 사용하는 신호 레벨 판정기로 쓰이는 단순 트렐리스 디코더를 설계에 이용하여 신호 레벨 판정기의 성능을 개선할 수 있다.

<21> 또한, 트렐리스 디코더의 설계를 표 1과 표 2를 참조로 16 상태를 이용한 디코딩 방법을 사용 트렐리스 디코더의 성능을 개선할 수 있다.

【수학식 1】

$$S = D_1 \times 8 + D_2 \times 4 + D_3 \times 2 + D_4$$

【표 1】

현재상태	입력	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	0	-7	-5	-7	-5	1	3	1	3	-3	-1	-3	-1	5	7	5	7
	1	1	3	1	3	-7	-5	-7	-5	5	7	5	7	-3	-1	-3	-1

a. 트렐리스 인코더의 출력 표

현재상태	입력	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	0	0	2	1	3	0	2	1	3	5	7	4	6	5	7	4	6
	1	12	14	13	15	12	14	13	15	9	11	8	10	9	11	8	10

b. 트렐리스 인코더의 다음 상태 표

표 1. 제한한 16 상태 트렐리스 코딩을 이용한 강인 데이터와 생성 방법을 이용하는 경우 강인 데이터의 입력에 따른 16상태의 변화와 출력

【표 2】

현재상태	입력	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	0	-7 _r	-5 _r	-7 _r	-5 _r	-7 _r	-5 _r	-7 _r	-5 _r	-7 _r	-5 _r	-7 _r	-5 _r	-7 _r	-5 _r	-7 _r	-5 _r
	1	1 _r	3 _r	1 _r	3 _r	1 _r	3 _r	1 _r	3 _r	1 _r	3 _r	1 _r	3 _r	1 _r	3 _r	1 _r	3 _r

부호기의 출력 표

현재상태	입력	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	0	0	2	1	3	4	6	5	7	8	10	9	11	12	14	13	15
	1	1	3	0	2	5	7	4	6	9	11	8	10	13	15	12	14

부호기의 다음 상태 표

표 2. 제한한 16 상태 트렐리스 코딩을 이용한 강인 데이터와 생성 방법을 이용하는 경우 일반 데이터의 입력에 따른 16상태의 변화와 출력

<25> 도 2는 16 상태 트렐리스 코딩을 이용한 강인 데이터 생성 방법의 또 다른 실시예를 나타내는 구조도이다.

<26> 도 2를 참조하면 먼저 입력된 정보 데이터(X1')을 이용하여 표준 트렐리스

인코더의 2 개의 메모리에 추가적으로 강인 데이터 생성을 위한 메모리를 추가적으로 이용하여 강인 데이터가 4 개의 메모리를 이용하여 코딩되도록 한다.

<27> 도 2의 개선 코딩(enhance coding)블록과 표준 트렐리스 코딩(Trellis encoding)을 이용하여 입력에 따라 출력 신호와 다음 상태는 표 3과 같은 결과를 갖는다.

<28> 표 3의 16 상태(현재 상태, 다음 상태)는 [수식 1]과 같은 방법을 통해서 표시한 값이다. 도 2의 강인 데이터 생성을 위해 추가적으로 사용되는 메모리는 일반 데이터가 입력되는 경우에는 그 상태값이 변하지 않으며 입력에 따른 출력 신호와 다음 상태 신호는 표 2와 같다.

【표 3】

현재상태	입력																
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
	0	-7	-5	-7	-5	-3	-1	-3	-1	1	3	1	3	5	7	5	7
	1	1	3	1	3	5	7	5	7	-7	-5	-7	-5	-3	-1	-3	-1

a. 트렐리스 인코더의 출력 표

현재상태	입력																
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
	0	0	2	1	3	9	11	8	10	0	2	1	3	9	11	8	10
	1	12	14	13	15	5	7	4	6	12	14	13	15	5	7	4	6

b. 트렐리스 인코더의 다음 상태 표

표 3. 제안한 16 상태 트렐리스 코딩을 이용한 강인 데이터의 생성 방법1을 이용하는 경우 강인 데이터의 입력에 따른 16상태의 변화와 출력

<30> 16 상태 트렐리스 코딩을 이용한 강인 데이터 생성 방법의 또 다른 실시예를 이용한 경우 표 3과 표 2를 이용하여 수신기의 등화기에서 사용하는 신호 레벨 판

정기로 쓰이는 단순 트렐리스 디코더를 설계에 이용하여 신호 레벨 판정기의 성능을 개선할 수 있다. 또, 트렐리스 디코더의 설계를 표 3과 표 2를 참조로 16 상태를 이용한 디코딩 방법을 사용 트렐리스 디코더의 성능을 개선할 수 있다.

<31> 종래 방식의 High mix mode는 Robust와 Normal packet의 혼합비율이 50:50이고, 종래 방식에서는 E8-VSB 방식으로 코딩된 Robust packet 50% 를 혼합하였다. (즉, robust information packet 수는 72 , robust segment는 162임)

<32> 제안된 방식은 Robust packet을 E8-VSB방식으로 코딩된 robust packet과 P2-VSB로 코딩된 robust packet을 혼합하여 50%의 robust packet을 전송하는 방식으로, High mix mode에서 E8-VSB방식으로 코딩된 robust packet을 35%(robust information packet 수는 48), P2-VSB로 코딩된 robust packet을 15%(robust information packet 수는 24) 혼합하여 robust packet을 전송할경우 종래방식 대비 약 0.4~0.5dB 이득이 발생한다.

<33> High mix mode 시 packet insertion 방법의 예를 아래의 표 4을 참조하여 설명하면 다음과 같다.(nrs=1, tr=0, d=1)

【표 4】

Packet #	Packet type	Packet #	Packet type	Packet #	Packet type
0	Robust Info	18	Robust info
1	Place Holder	19	Place older	162	Standard
2	Robust Info	20	Robust nfo	163	Standard
3	Place Holder	21	Place older	164	Standard
4	Robust Info	22	Robust nfo
5	Place Holder	23	Place older	281	Standard
6	Robust Info	24	Robust nfo	282	Standard
7	Place Holder	25	Place older	283	Standard
8	Place Holder	26	Place older	284	Standard
9	Robust info	27	Robust nfo	285	Standard
10	Place Holder	28	Place older	286	Standard
11	Robust info	29	Robust nfo
12	Place Holder	30	Place older	306	Standard
13	Robust info	31	Robust nfo	307	Standard
14	Place Holder	32	Place older	308	Standard
15	Robust info	33	Robust nfo	309	Standard
16	Place Holder	34	Place older	310	Standard
17	Place Holder	35	Place older	311	Standard

<35> 여기서, NRS=1, 1/2 rate coding을 사용한다.

<36> 두개의 연속되는 robust packet의 최소거리는 $\min(\text{floor}(312/162), 4) = 1$ 이고 전체 robust segment수는 162이다(robust info: 72, place holder: 90).

<37> 종래 방식의 경우 packet number 0~161 의 robust segment를 모두 E-8VSB 방식으로 코딩하지만, 본 발명에 따른 방식은 packet number 0~53 의 robust segment는 Philips의 P2-VSB방식으로 코딩하고 packet number 54~161의 robust segment는

ETRI의 E8-VSB방식으로 코딩한다.

<38> packet 의 혼합방식은 E8-VSB로 코딩된 packet과 P2-VSB로 코딩된 packet이
중간에 섞여지는 방식도 가능함 (즉, packet number 1~2는 P2-VSB방식의 코딩,
packet number 3~4는 E8-VSB방식, packet number 5~6은 P2-VSB)

<39> 본 발명에 따른 방식은 종래방식 대비 약 0.4~0.5dB 이득이 발생한다.

<40> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는
것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지
치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지
식을 가진 자에게 있어 명백할 것이다.

【발명의 효과】

<41> 따라서, 상기한 바와 같은 본 발명은, 종래 방식에 비하여 수신 성능을 개선
시킬 수 있는 효과가 있다.

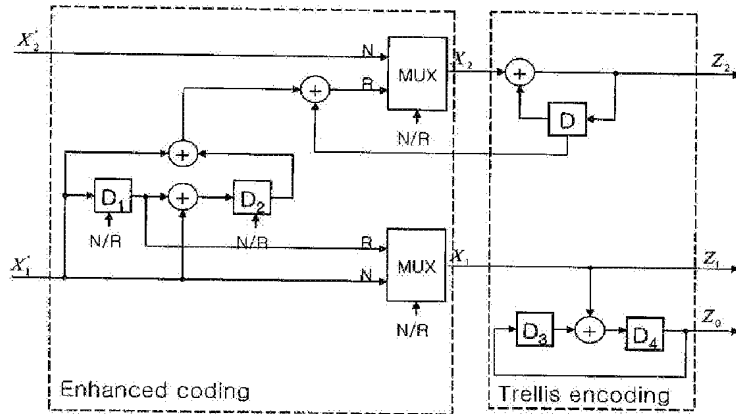
【특허청구범위】

【청구항 1】

E - 8VSB 방식과 P - 2VSB 방식을 혼합한 수신 성능 개선 시스템에 으로서,
16상태 트렐리스 코딩을 이용한 강인데이터를 생성하는 방법을 이용하여 E
- 8VSB 방식과 P - 2VSB 방식을 혼합한 것
을 특징으로 하는 수신 성능 개선 시스템

【도면】

【도 1】



【도 2】

